

KOREAN PATENT ABSTRACTS(KR)

Publication No.1020030010507

Publication Date. 20030205

Application No.1020020043471

Application Date. 20020724

Abstract:

The present invention relates to a method for forming a semiconductor device including an isolation region of a trench isolation structure including a trench and an insulation layer buried in the trench. A gate electrode is formed in an active region adjacent to the isolation region of a semiconductor substrate and a first impurity diffusion region having an LDD structure is then formed in the active region of the substrate. After forming a first and second insulation layers are formed on the substrate, an etch-back process is performed using the first insulation layer as an etching stopper so that a first sidewall of the second insulation layer is formed on a sidewall of the gate electrode and a second sidewall of the first insulation layer is formed on the sidewall of the gate electrode. After forming a second impurity diffusion region in the active region as a source/drain region, an interlayer dielectrics is formed on the semiconductor substrate. A contact hole exposing the second impurity diffusion region is formed through the interlayer dielectrics.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L_21/76	(11) 공개번호 특2003-0010507
(21) 출원번호 2002년07월24일	(43) 공개일자 2003년02월05일
(30) 우선권주장 (71) 출원인	JP-P-2001-00224546 2001년07월25일 일본(JP) 닛폰엔끼 가부시끼가이사
(72) 발명자	일본국 도요코오도 미나토구 시바 5초오메 7번 1고 쿠마모토 케이타
(74) 대리인	일본국 도쿄도 미나토구 구시바5-7-1닛폰엔끼가부시끼가이사내 최달용

심사청구 : 있음(54) 반도체 장치의 제조 방법**요약**

본 발명은 반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 관한 것으로서, 상기 반도체 장치의 제조 방법은 상기 반도체 기판상의 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하고, LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과, 반도체 기판상에 제1의 절연막 및 제2의 절연막을 상기 순서로 형성하는 공정과, 제1의 절연막을 에칭 스크립터 사용하여 에치백을 행하고, 게이트 전극의 측면상에 제1의 절연막을 통하여 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과, 전연 에치백을 실행하여 제1의 절연막을 에칭하여 게이트 전극의 측면상에 제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과, 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성한 후, 반도체 기판상에 충간 절연막을 형성하고 제2의 불순물 확산 영역까지 도달하는 콘택트 흔을 형성하는 공정을 포함한다.

대표도**도3****색인어**

반도체 장치, 리크, 콘택트 흔, 에칭 스토퍼

형세서**도면의 간단한 설명**

도 1은 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 개략 단면도.

도 2는 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.

도 3은 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 또 다른 개략 단면도.

도 4는 본 발명에 따른 반도체 장치의 제조 방법의 제2의 실시예의 공정을 순차적으로 도시하는 개략 단면도.

도 5는 본 발명에 따른 반도체 장치의 제조 방법의 제2의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.

도 6은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 개략 단면도.

도 7은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.

도 8은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 또 다른 개략 단면도.

도 9는 본 발명에 따른 반도체 장치의 제조 방법의 제4의 실시예의 공정을 순차적으로 도시하는 개략 단면도.

도 10은 본 발명에 따른 반도체 장치의 제조 방법의 제4의 실시예의 공정을 순차적으로 도시하는 다른
그림 단면도

- 도 11은 종래 기술에 따른 반도체 장치의 제조 방법을 순차적으로 도시하는 개략 단면도.
 - 도 12는 종래 기술에 따른 반도체 장치의 제조 방법을 순차적으로 도시하는 다른 개략 단면도.
 - 도 13은 종래 기술에 따른 반도체 장치의 제조 방법에 의한 콘택트 흡 형성 후의 상태를 각각 도시하는 개략 단면도.

발명의 삼세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

방법에 관한 것이다.

근래에 반도체 장치의 고집적화에 수반하여 소자 구조의 미세화와 더불어 소자 분리 구조에 대해서도 미세화가 요구되고 있는 실정이다. 그래서, 종래 기술의 LOCOS 법 대신에 보다 미세한 소자 분리 구조의 형성에 전환하는 트레치 보리(Trench Isolation)법이 제안되고 있다.

트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실현되고 있다. 먼저, 단자, 케이스 기판을 트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실현되고 있다. 먼저, 단자, 케이스 기판을 트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실현되고 있다. 먼저, 단자, 케이스 기판을 트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실현되고 있다. 먼저, 단자, 케이스 기판을 트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실현되고 있다. 먼저, 단자, 케이스 기판을

종래 기술의 SRAM(Static Random Access Memory) 등의 반도체 기억 장치의 제조에 있어서, 이러한 트렌드를 그려 그 조작 험성을 반도체 기판상에는 다음과 같이 트랜지스터가 형성된다.

도 11 내지 13은 LDD(Lightly Doped Drain) 구조를 갖는 MOS(Metal Oxide Semiconductor) 트랜지스터의
공정 단면도를 도시한다.

다음에, 게이트 전극(104)을 마스크로 사용하여 낮은 도스량의 불순물 이온 주입을 행하여 기판과 반도체원의 100㎚ 영역으로 사용되는 저농도 불순물 영역(105)을 형성한다(도 11의 b).

이어서, 게이트 전극(104)을 빠르히는 실리콘 산화막(106)을 형성하고(도 11의 c), 실기 실리콘 산화막(106)을 이방성에 치박하여 게이트 전극(104)의 유흡면에 산화 실리콘으로 이루어진 층(106a)을 형성한다(도 12(a)). 삼기 이방성에 치박(이하 “층(106a)은 실리콘 산화막(106)을 이방성에 치박”이라 한다)은 기판에 산화면이 유흡하도록 형성된다. 그 때, 기판 표면상의 실리콘 산화막을 완전하게 제거하기 위해 실행하는 오버 애칭에 의해 소자 본리 열역(102)의 트렌치(102a)의 실리콘 산화막으로 이루어지는 매입 절연막이 예정되고, 절과적으로 이 매입 절연막의 상면이 기판 표면보다 낮아진다.

다음에, 후에 행하는 소스/드레이 영역 형성하기 위한 이은 주입에 있어서 차별화를 방지하기 위해 걸리코 신화막으로 이루어지는 차별화 방지막(107)은 형성한다(도 12의 b). 계속해서, 상기 차별화 방지막(107)을 통하여 높은 노스팅의 밸анс을 이루는 주입을 행하여 소스/드레이 영역이 되는 고농도 불순물 영역(108)을 형성한다. 그 때, 케이트(104)와 축벽(106a)이 마스크로서 기능하여 축벽(106a) 아래로 노드는 보수 주입(105)을 LDD 형성(105a)으로 하는 LDD 구조가 형성된다.

다음에, 실리콘 질화막으로 이루어지는 에칭 스토퍼막(109)을 형성한 후 실리콘 산화막 등의 층간 절연막(110)을 형성한다(도 12의 c).

이어서, 리소그래피 기술과 에칭 기술에 의해 소스/드레이인 영역(108)에 도달하는 콘택트 툴(111)을 형성한다(도 13의 a). 그 후, 스퍼터링법을 이용하여 상기 콘택트 툴 내에 배리어 금속막을 형성하고 계속한다(도 13의 b). 그 후, 스퍼터링법을 이용하여 상기 콘택트 툴 내에 배리어 금속막을 형성하고 계속한다(도 13의 c). 그 후, CVD(Chemical Vapour Deposition)법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도 14). 그 후, 상기 콘택트 툴(111)을 제거하는 단계를 거친다.

상면이 더 깊은 위치까지 낮아지게 된다.

이와 같이 소자 분리 영역의 애입 절연막 상면이 기판 풀면보다 낮아지게 되면, 이와 같이 소자 분리 영역(102)에 오버랩되어 콘택트 흙(111)이 형성되는 경우에 예칭 스토퍼막(109) 등의 흙 바닥의 절연막 제거시의' 오버 에칭에 의해 더욱 트렌치 내의 애입 절연막이 예칭되어 소스/드레인 영역(108)의 접합 깊이 보다 낮은(깊은) 위치까지 파고 들어간다. 상기 소스/드레인 영역(108)의 접합 깊이 보다 깊게 파고 들보다 낮은(깊은) 위치까지 파고 들어간다. 상기 소스/드레인 영역(108)의 접합 깊이를 보다 깊게 어간 부분(112)에서 콘택트와 기판 사이의 리크가 발생한다. 소스/드레인 영역의 접합 깊이를 보다 깊게 형성하면 그 만큼 상기 리크는 발생하기 쉬워진다.

또한, 측벽에 에치백의 공정에서 경시간의 오버 에칭에 의해 기판 표면상에서는 결정 결합이 더욱 용이하게 형성되고 그 결과 리크의 발생 등과 같은 특성이 악화된다.

발명이 이루고자 하는 기술적 과제

전술한 문제점을 고려하여, 본 발명의 목적은 상기 분리 영역에 있어서 콘택트와 기판 사이의 리크의 발생이 방지되고, 또한 드라이 에칭에 의한 기판 표면에의 플라즈마 데미지가 억제되고, 상기한 결합성 리성이 발생이 방지된 양호한 소자 특성을 갖는 반도체 장치를 수율이 양호하게 제조 가능할 방법을 제공하는 데 있다.

본 발명의 제1의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 애입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,
상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판상에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면상에 제1의 절연막 및 제2의 절연막을 상기 순서로 형성하는 공정과,

상기 제1의 절연막을 예칭 스토퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

전면에 에치백을 실행하여 상기 제1의 절연막을 예칭하여 상기 게이트 전극의 측면상에 상기·제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 충간 절연막을 형성하는 공정과.

상기 충간 절연막 상면으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 흉을 형성하는 공정을 포함한다.

본 발명의 제2의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 애입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,
상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 예칭 스토퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

전면에 에치백을 실행하여 상기 제1의 절연막을 예칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과.

상기 반도체 기판의 주면의 전면에 제3의 절연막을 형성하는 공정과.

상기 제3의 절연막상에 충간 절연막을 형성하는 공정과,

상기 제3의 절연막을 예칭 스토퍼로 사용하여 상기 충간 절연막을 선택적으로 예칭하여 상기 제3의 절연막을 노출시키고, 또한 상기 제3의 절연막을 선택적으로 예칭하여 상기 충간 절연막 상면으로부터 상기 제3의 절연막을 제거하는 공정과,

본 발명의 제3의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 애입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,
상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는

제1의 불순을 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스토퍼로 사용하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 전면 에치백을 실행하여 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 제2의 측벽, 및 상기 소자 분리 영역을 넘는 상기 제1의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면에 충간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 에칭하여 상기 충간 절연막 상면으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정을 포함한다.

본 발명의 제4의 특징에 따르면, 제1, 제2, 및 제3의 특징에 있어서, 상기 제2의 절연막은 상기 매입 절연막과 피에칭 속도가 질질적으로 동일한 재료로 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제5의 특징에 따르면, 제2의 특징에 있어서, 상기 제2의 절연막 및 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 제1의 절연막 및 제3의 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제6의 특징에 따르면, 제1 또는 제3의 특징에 있어서, 상기 제2의 절연막 및 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 제1의 절연막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제7의 특징에 따르면, 제1 내지 제6의 특징 중 어느 하나에 있어서, 상기 게이트 전극을 포함하는 상기 반도체 기판의 주면에 하부 절연막을 형성하는 공정을 갖고, 상기 하부 절연막을 형성하는 후에 상기 제1의 절연막을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제8의 특징에 따르면, 제7의 특징에 있어서, 상기 제2의 측벽을 형성하기 위한 전면 에치백에 있어서, 상기 제1의 절연막과 상기 제2의 절연막을 에칭하고, 상기 게이트 전극 상면 및 기판 상면 있어서, 상기 제1의 절연막을 통하여 상기 하부 절연막을 형성하는 공정을 갖고, 상기 제2의 불순을 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제9의 특징에 따르면, 제8의 특징에 있어서, 상기 제2의 불순을 확산 영역의 형성을 적어도 상기 소자 형성 영역에 채널링 방지막을 형성한 후, 상기 게이트 전극 및 상기 제1, 제2 및 제3의 측벽을 마스크로 사용하여, 상기 채널링 방지막을 통하여 이온 주입을 행하여 제2의 불순을 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제10의 특징에 따르면, 제7의 특징에 있어서, 상기 제2의 측벽을 형성하기 위한 전면 에치백에 있어서, 상기 하부 절연막이 낭도록 상기 제1의 절연막을 에칭하고, 상기 하부 절연막을 통하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제11의 특징에 따르면, 제7 내지 제10의 특징 중의 하나에 있어서, 상기 제1의 불순을 확산 영역을 형성하기 위한 이온 주입은 상기 하부 절연막을 형성한 후이고 상기 제2의 절연막을 형성하기 전에 행하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제12의 특징에 따르면, 제1 내지 제11의 특징 중의 하나에 있어서, 상기 제1의 불순을 확산 영역을 형성하기 위한 이온 주입은 상기 하부 절연막을 형성한 후이고 상기 제2의 절연막을 형성하기 전에 행하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제13의 특징에 따르면, 제1 내지 제12의 특징 중 어느 하나에 있어서, 상기 콘택트 훔은 상기 제1의 불순을 확산 영역과 상기 소자 분리 영역에 걸쳐서 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제15의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

전면 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 측벽을 형성하

는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연에 제2의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제2의 절연막을 에칭하여 상기 소자 분리 영역을 덮는 상기 제2의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주연의 전연에 충간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 예칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 예칭하여 상기 충간 절연막 상연으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정과, 정을 포함한다.

본 발명의 제16의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매립된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제1의 절연막을 에치백하고, 상기 게이트 전극의 축연상에 측벽을 형성하는 동시에, 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연에 제2의 절연막을 형성하는 공정과,

상기 반도체 기판의 주연의 전연에 충간 절연막을 형성하는 공정과,

상기 제2의 절연막을 예칭 스토퍼로 사용하여 상기 충간 절연막을 선택적으로 예칭하여 상기 제2의 절연막을 노출시키고, 또한 상기 제2의 절연막과 상기 채널링 방지막을 선택적으로 예칭하여 상기 충간 절연막과 상연으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정을 포함한다.

본 발명의 제17의 특징에 따르면, 제15 또는 제16의 특징에 있어서, 상기 제1의 절연막은 상기 매입 절연막과 피에칭 속도가 실질적으로 동일한 재료로 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제18의 특징에 따르면, 제15, 제16 또는 제17의 특징에 있어서, 상기 제1의 절연막 및 상기 제18의 특징에 따르면, 제15, 제16 또는 제17의 특징에 있어서, 상기 제1의 절연막 및 상기 제2의 불순을 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제19의 특징에 따르면, 제15 내지 제18의 특징 중 어느 하나에 있어서, 적어도 상기 소자 형성 영역에 채널링 방지막을 형성하는 공정을 갖고, 상기 채널링 방지막을 통하여 이온 주입을 행하고 상기 제2의 불순을 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제20의 특징에 따르면, 제15 내지 제19의 특징 중 어느 하나에 있어서, 상기 콘택트 훔은 상기 제2의 불순을 확산 영역과 상기 소자 분리 영역에 걸쳐서 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제21의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매립된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제2의 불순을 확산 영역과 피에칭 속도가 실질적으로 동일한 재료로 형성하는 반도체 장치의 제조 방법은,

상기 반도체 기판의 주연의 전연에 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 절연막의 에칭을 실행하여 상기 소자 분리 영역을 덮는 상기 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주연의 전연에 충간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 예칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 예칭하여 상기 충간 절연막 상연으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정을 포함한다.

본 발명의 제22의 특징에 따르면, 제21의 특징에 있어서, 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제23의 특징에 따르면, 제1 내지 제22의 특징 중 어느 하나에 있어서, 상기 충간 절연막은 상기 매입 절연막과 피에칭 속도가 실질적으로 동일한 재료로 형성하는 반도체 장치의 제조 방법이 개시된다.

54

본 영역에 의하면, 트렌치 분리 영역에 오버랩하게 콘택트 흡이 형성된 경우에도 트렌치 내의 맵인 젤 방식의 긴 소스(애입 전면 확장 면상의 저하)가 방지 또는 억제되기 때문에, 콘택트과 기판과 사이의 리크를 방지하는 것이다. 그 결과 차수를 통하여 개선된 반도체 장치를 수월하게 제조할 수 있다.

본 발명의 제16의 특징에 의하면, 축액의 형성 과정의 어차박 전에 소자 분리 영역을 넓이는 트렌치 분리 구조를 형성하기 때문에, 소자 분리 영역에 걸친 디자인도 증가 절약에 크게 기여하는 현상에도, 이를 통해 카바운에 의한 소자 분리 영역이 보호받아 애입 헤이트의 감소를 방지할 수 있다. 또한, 이를 통해 카바운에 의한 소자 분리 영역이 형성하기 위해 별도로 성막 영장을 부기한 필요가 없고, 간편하게 형성할 수 있다.

발명의 구성 및 작용

이한 판명이 암호한 실시예가 기술될 것이다.

제1의 실시예

본 발명의 제1의 실시예를 도면을 참조하여 설명한다. 도 1 내지 3은 LDD 구조를 갖는 MOS 트랜지스터의 제작 방법을 구체적으로 도시하는 개별 단면도이다.

먼저, 반도체 기판(1)의 소정의 영역에 보통의 방법으로 트랜치 내에 매입된 실리콘 산화막으로 구성된 소자 부위 양면(2)을 형성한다.

상기 실리콘 기판(1)상에 게이트 절연막으로 이루어지는 두께 2 내지 15nm 정도의 열화상(도면에 도시되지 않음)을 형성한 후, 대체로 100 내지 200nm 정도의 밸류스蚀을 도입 다결정 실리콘층을 형성하고 상기 다결정 실리콘층을 리소그래피 기술과 애칭 기술에 의해 패터닝하여 게이트 전극(Gate electrode)을 형성한다(도 1의 a). 여기서, 뷔너蚀을 도입 다결정 실리콘 양상에 W 실리사이드막 등의 실리사이드막 및 실리콘 산화막 등을 절연막으로 형성한 후에 패터닝을 실행하여 게이트 전극상에 실리사이드막 및 캡(cap) 절연막을 마련하는 것도 양호하다.

다음에, 게이트 전극(4)을 마스크로 사용하여, 5 내지 50keV, 1×10^{-12} 내지 $5 \times 10^{-12} \text{ cm}^2/\text{sec}$ 정도의 비교적 낮은 도상도의 형성물을 이용 주입을 행하고, 기판과는 반대 도전형의 LD 열 영역으로 사용하는 저농도(p)나 높은(p') 형성을 형성한다(도 1의 b). 그 다음, p형 불순물로是从하는 B₂N_x, n형 불순물로是从하는 인(P)이나 질소(N)를 형성한다.

다음에, 게이트 전극(4)을 피복하도록 기판의 상면 전체에 CVD법에 의해 두께 5 내지 10nm 정도의 실리콘 산화막(21)을 형성하고, 이 위에 두께 5 내지 10nm 정도의 실리콘 질화막(22)을 적층한다. 계속해서, 기판 전면에 CVD법에 의해 두께 50 내지 200nm 정도의 실리콘 산화막(6)을 형성한다(도 1의 c). 여기서, 기판 전면에 CVD법에 의해 두께 50 내지 10nm 정도의 실리콘 산화막(21), 실리콘 질화막(22) 및 실리콘 산화막(6)의 두께는 각각 10nm, 10nm, 100nm으로 설정된다. 예상되는 위치에 대해서는

다음에, 실리콘 절화막(22)을 예상 스토퍼로 하여 상기 실리콘 산화막(6)을 이방성 액층에 의해 아래 치운다. 그리고 게이트 전극 층과 유행에 산화막(21a) 및 실리콘 절화막(22a)을 통하여 층별(6a)을 형성한다(도 2의 a). 게이트에서, 층별(6a)을 마스크로 사용하여 웨트 에칭 또는 드레이너 에칭을 통하여 실리콘 절화막(22) 및 실리콘 산화막(21)을 제거하고, 게이트 전극(4) 및 실리콘 기판의 산화면을 표시시킨다. 절화막(22)은 실리콘 산화막(21)과 함께 절화막(22a)을 실리콘 절화막(22)과 상기 실리콘 산화막(6)을 형성된다(도 2의 b). 이 때, 실리콘 산화막(21)은 절화막(22)과 실리콘 층에 적층된 적층 액층으로 이루어지는 층별(6b)이 형성된다(도 2의 b)의 트랜지스터 내의 애입 단위로 비교하여 오버 에칭량을 적게 할 수 있고 그 때문에 트렌지스터의 영역(2)의 트랜지스터 내의 애입 단위와 같은 단위(예: 산화막 상면의 저하)를 억제할 수 있다. 또한, 이와 같이 오버 에칭량이 적으면 드레이너 단위에 폴리아미드 분위기에서 조사되는 시간이 짧기 때문에 기판 표면의 폴리아미드 데미지를 감소시킬 수 있다.

또한, 실리콘 산화막(21)은 절화막을 기판상에 직접 형성한 때에 생길 수 있는 계면 준위를 방지하는 목적으로 하부 절연막으로서 마련되고 있지만 게이트 에칭 후에 게이트 산화막이 기판 표면에 접촉하는 시점에서 게이트와 사이에서 계면 준위를 만들지 않고 또한 실리콘 산화막(6)의 치자벽 시기에 에칭 스텝으로부터 작용하는 절연막을 실리콘 절화막(22) 대용으로 형성하는 경우에는 실리콘 산화막(21)은 마련하지 않아도 된다는 것이다.

또한, 실리콘 점화막(22)을 에칭 제거할 때, 실리콘 산화막(21)은 남아도 좋다. 상기 경우에 전zon에 실리콘 산화막(21)이 충분한 두께를 갖을 때는 후술하는 소스/드레인 영역 형성하기 위한 이온 주입에 이리운 실리콘 산화막(21)이 채널을 방지막으로 할 수 있다. 또는 실리콘 점화막(22) 제거 후의 실리콘 산화막(21)상에 별도 용하는 채널을 방지막으로 할 수 있다. 또는 실리콘 산화막(21)과 점화막(22)을 적층하고 상기 적층막을 채널링 방지막으로 할 수도 있다. 실리콘 산화막(21)과 점화막(22)을 날ющим으로서 기판 표면이 드라이 에칭의 플라즈마에exposure되기에 기판 표면에 물질로 방지막을 받을 수 있다.

소스/드레인 영역(고농도 불순물 영역)(8) 및 게이트 전극(4)상에는 실리사이드막을 마련하여도 양호한 고온을 들여 다음과 같이 하여 형성될 수 있다.

먼저, 채널링 방지막(7)을 제거하고 기판 및 게이트 전극의 상면을 노출시키기 위해 웨트 에칭을 행한다. 그 때, 트랜시스터 분리 영역(2)의 매일 산화막의 상부도 에칭 되게 되지만 채널링 방지막(7)은 암기 때문이다. 그 때, 트랜시스터 분리 영역(2)의 매일 산화막의 상부도 에칭 되게 되지만 채널링 방지막(7)은 암기 때문이다. 그 때, 트랜시스터 분리 영역(2)의 매일 산화막의 상부도 에칭 되게 되지만 채널링 방지막(7)은 암기 때문이다.

그 후, 이 기판상에 스피터링법으로 Co 등의 금속막을 형성한다. 뒤이어, 600 내지 800°C 정도로 열처리를 행하여 금속막과 게이트 전극의 다결합 실리콘, 및 소스/드레인 영역의 실리콘간에 실리사이드화 반응을 일으켜 발생시키고 소자 전류에 영향이나 충돌 부상 등의 미반응 금속막은 예상 제거한다. 그 결과, 자기 정합 형상 실리사이드막이 게이트 전극 상, 및 소스/드레인상에 형성된다. 또한, 게이트 전극상에 캡 쿨트 반응에 의하여 형성되는 실리사이드막은 형성되지 않는다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 nm 내지 100nm 정도의 예정 스토퍼막(9)을 형성한 후, 계속해서 실리콘 산화막 등의 두께 300 nm 내지 1000nm 정도의 충간 절연막(10)을 형성한다(도 3의 a).

다음에, 리소그래피 기술과 이방성 애칭에 의해 소스/드레이 영역(고농도 배출을 양극화)에 달하는 헤드 툴(11)을 형성한다(도 3의 b). 그 때, 스토퍼풀(9)으로 일단 애칭을 막고 위어이 스토퍼풀(9)과 채널링 툴(11)을 형성하게 한다. 그 후, CVD법 또는 스크립팅법을 이용하여 이 콘택트 툴(11) 내에 배포할 액체막(7)을 애칭 세기한다. 그 후, CVD법 또는 스크립팅법을 이용하여 이 콘택트 툴(11) 내에 도리어 긍속액을 형성하고 계속해서 CVD법에 의해 W 등의 긍속액을 매입하여 콘택트를 형성한다(도면에 도시된 바와 같이).

전술한 방법에 의하면, 출퇴성 행성 공정에 있어서, 트렌치 분리 영역(2)의 트렌치 내의 매입 산화막의 강도(매입 산화막 상면의 저하)가 억제된다(도 2의 a 및 b), 따라서, 트렌치 분리 영역(2)에 오버박스홀을 뚫고 턴박트 흡이 형성되는 경우에 애초 스토퍼막(9) 등의 투박 바닥의 절연막 제거시의 오버 에칭에 의해 트렌치 내의 매입 산화막이 페어되면서 밀이 없어지면서, 콘택트와 기판 사이의 리크를 방지할 수 있다.

제2의 실시예

도 4 내지 도 5는 본 발명에 따른 제2의 실시예의 제조 방법을 공정순에 따라 도시하는 개략 단면도이다. 도 4의 a 및 도 2의 a는 동일한 도면을 나타낸다. 도 4의 a에 도시된 구조는 도 1의 a 내지 도 2의 a에 도시된 구조와 동일하게 형성된다.

도 4의 b는 레지스트막(31)이 트렌치 분리 영역(2) 위에 얹혀져 피복하도록 실린 줄화막(22)상에 형성되는 것을 도시하고 있다. 레지스트막(31)의 패턴은 트렌치 분리 영역의 패턴과 동일하다. 따라서, 레지스트막(31)의 패턴 역시 동일한 마스크가 트렌치 분리 영역의 패턴에 사용될 수 있다.

계속해서, 축벽의 형성은 이방성 애칭에 의해 실리콘 질화막(22) 및 실리콘 산화막(21)에 험 제거하고 계이트 전극(4) 및 실리콘 기판 양쪽 모두의 상면을 노출함으로써 실행된다. 그 결과, 계이트 전극(4)의 측면에 실리콘 산화막(21a), 실리콘 질화막(22a), 실리콘 산화막(6a)로 구성된 축벽(6b)이 계이트 전극(4)의 측면상에 형성된다. 제1의 실시예에서 설명한 바와 같이 이 유리에 의해, 즉, 두께로운 실리콘 산화막(6)의 애칭은 실리콘 질화막(22)상에서 일정 깊이 되고 깊은 실리콘 질화막(22)의 오버 애칭을 갖는다. 여기서, 실리콘 산화막(21b) 및 초기 때문에, 기판 표면에 대한 물질라즈마 데미지는 훨씬 감소된다. 여기서, 실리콘 산화막(21b) 및 실리콘 질화막(22b)은 레지스트(34)의 하부에 남겨서서 축벽 형성 공정에서 트렌치 분리 영역(2)의 내부에 남겨진 실리콘 산화막의 애칭을 방지한다.

다음에, 레지스트 막(31)을 제거한 후, 이후에 행하는 소스/드레이 영역 형성은 이온 입자시의 소스/드레이 영역 형성으로서, 두께 5 내지 30㎚ 정도의 실리콘 산화막(7)을 형성한다. 그러나, 상기 실리콘 산화막(7)은 지각으로서, 제작 과정에서 소스/드레이 영역이 되는 고농도 불순물을 형성하는 경우, 그 부분에서 불순물로 인해 영역 형성이 잘 이루어지지 않아 좋다. 계속해서, 제1의 실시예와 동일하게 실리콘 산화막(7)을 통하여 불순물은 이온 주입을 행하여 소스/드레이 영역이 되는 고농도 불순물을 형성하는 경우, 그 부분에서 불순물로 인해 영역 형성이 잘 이루어지지 않아 좋다. (5)의 a).

또한, 긍속 실리사이드막이 제1의 실시예와 동일한 방법으로 소스/드레인 영역 및 게이트 전극 양쪽의 산화물에 형성되는 것이 가능하다.

다음에, 두께 300 nm 내지 1000nm 정도의 실리콘 산화막 등의 층간 절연막(10)이 형성되고, 리소그래피 기술을 이용해 액체에 의해 소스/드레이어 영역(8)에 할당하는 커널트홀(11)을 형성한다(도 5의 b). 여기서,

콘택트 슈이 트렌치 분리 영역(2)을 오버랩하도록 형성되는 경우에 트렌치 분리 영역을 피복하는 실리콘 점화막(22b) 상에서 콘택트 슈이는 정지된다. 따라서, 콘택트 슬립의 바이오드는 트렌치 분리 영역 내부에 위치하는 콘택트 슈이를 통해 전기적으로 접속된다. 더욱이, 제1의 실시예에서 기술된 바, 소스/드레인 영역의 접선을 già이보다 낮게 도달되는 것이 필요된다. 더욱이, 제1의 실시예에서 기술된 바, 같은 이유로 점화막(9)과 같은 암전 스토리디아이언이 필요로 되어 있다. 점화막(10)을 형성하는 것이 가능하고, 그로 인해 알 수 있는 콘택트 슬립의 단계가 줄어들고 생산성을 절감시킬 것이다.

그 후, CVD법 또는 스팍터링법을 이용하여 상기 콘택트 을(11) 내에 배리어 금속막을 형성하고, 계속해 그 위에 일정 높이의 금속막을 매인하여 코팅층을 형성한다(도면에 도시되지 않음).

제3의 실시예

도 6-18은 도 8을 보면 박명의 제3의 실시예의 제조 공정을 순차적으로 도시한 개략 단면도이다.

도 6의 a에 도시된 바와 같이, 반도체 기판(1)상에 통상의 방법으로 실리콘 신작막으로 매입된 트렌치 분리 영역(4)이 형성된 이후에, 열 신작막(도시되지 않음) 및 도판층(5)을 다결정 실리콘층으로 이루어진 게이트 영역(4)이 형성되고 게이트 전극(4)이 다결정 실리콘막을 경계로 형성된다.

다음에, 제1의 실시예와 동일한 방법으로 게이트 전극(4)을 마스크로 사용하여, 이은 주입이 실행되어
제2의 드rain 부수를 갖는 기판과는 반대 도전형의 LDD 영역(5)을 형성한다(도 6의 B).

다음에, 이후에 행하는 소스/드레인 영역 형성하기 위한 이은 주입에 있어서 채널링을 방지하기 위해 실리콘 신화막 등으로 이루어지는 두께 5 nm 내지 30 nm 정도의 채널링 방지막(7)을 형성한다. 상기 채널링 방지막(7)은 다른 채널링 방지 수단을 활용할 수 있는 경우는 마이크로蚀(蚀)이나 아크蚀(蚀)과 같은 형식에서, 제1의 시기에와 동일한 방법으로 상기 채널링 방지막(7)을 통하여 불순물은 이은 주입을 행함에 따라 소스/드레인 영역 시기에와 동일한 방식으로 불순물을 형성하고 불순물의 활성화를 위한 열처리를 행한다(도 7의 b). 또한, 이 되는 고농도 불순물 영역(8)은 형성하고 불순물의 활성화를 위한 열처리를 행한다(도 7의 b). 또한, 소스/드레인 영역 및 게이트 전극상에는 제1의 실시에와 같이 하여 살리사이드막을 마련하여도 좋다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 nm 내지 100nm 정도의 예칭 스트립판(판)을 형성한다(도 7의 c).

그 후, 레지스트막(41)이 실리콘 질화막(9)상에 형성되어 트렌치 분리 영역(2)상의 영역을 피복한다. 레지스트막(41)의 패턴은 트렌치 분리 영역의 패턴과 동일하다. 따라서, 레지스트막(41)의 패턴에서 동일한 마스크가 트렌치 분리 영역의 패턴에서도 사용될 수 있다(도 8의 a).

계속해서, 레지스트락(41)으로 드라이 애칭이 실행되어 실리콘 젤화막(9) 및 실리콘 산화막(7)을 예상하고 재제거하고 케이스 전극(4) 및 실리콘 기판의 상면 양쪽에 노출하고 그 후 레지스트락(41)을 제거한다. 그 결과, 트렌치 분리 영역의 상면 상안에 실리콘 산화막(7a) 및 실리콘 젤화막(9a)이 낭개된다(도 8의 b). 또한, 실리콘 산화막을 낭개 드라이 애칭을 실리콘 산화막(7)에서 중단시킴으로써 실리콘 젤화막(9)만 기판에 남기는 것도 가능하다. 이 경우에, 기판 표면은 드라이 애칭의 플리즈마 분위기에서 노출되지 않아 기판 표면에 대한 플리즈마 데미지를 줄일 수 있다.

다음에, 실리콘 산화막 등의 두께 300 nm 내지 1000 nm 정도의 축간 절연막(10)을 형성한 후, 리소그래피 기술과 이방성 애칭에 의해 소스/드레인 영역(8)에 달하는 콘택트 훈(11)을 형성한다(도 8(c)). 여기에서 트랜시저 분리 영역(2)에 오버랩되도록 콘택트 훈(11)이 형성되는 경우에 트랜시저 분리 영역(2)을 넘는 실리콘 절연막(9a)상에서 콘택트 훈에 대한 애칭이 중단된다. 따라서, 콘택트 훈의 바닥부는 트랜시저 분리 영역 내측의 소스/드레인 영역의 접합 깊이 보다 더 낮게 되는 것이 방지되고 콘택트 훈과 기판 사이의 리크가 방지된다.

그 후, CVD법 또는 스퍼터링법을 이용하여 이 콘택트 흙(11) 내에 배리어 금속막을 형성하고, 계속해 흙을 더해 얹으면 배리어 금속막은 매이하여 콘택트를 형성한다(도면에 도시되지 않음).

제4회 실시례

도 9 및 도 10은 본 발명의 제4의 실시예의 제조 공정을 순차적으로 도시하는 개략 단면도이다. 도 9의 a는 도 6의 c에 동일한 도면이다. 도 9의 a에 도시된 구조는 제3의 실시예의 도 6의 a 내지 도 6의 c로 부터 도 6의 c에 동일한 도면이다.

도 9의 b는 레이저트막(51)이 트렌치 분리 영역(2)상의 열화수성 폴리에틸렌을 얹어 넣거나 구조를 도시한 것이다. (도 9의 b). 레이저트막(51)의 열화수성 폴리에틸렌은 트렌치 분리 영역(2)상의 페터닐 시에 사용된 열화수성 폴리에틸렌이다. 레이저트막(51)의 페터닐 시에 트렌치 분리 영역(2)상에 페터닐 시에 사용된 열화수성 폴리에틸렌은 페터닐 시에 사용된 열화수성 폴리에틸렌과 동일하다. 마스크가 사용될 수 있다.

개인소득세(51)을 제거함. 즉, 허용하는 소수/드물이 예상되는 경우에 대처하기 위한 이월 주일에 있어서 채널을

을 방지하기 위해, 실리콘 산화막 등으로 이루어지는 두께 5 내지 30nm 정도의 채널링 방지막(7)을 형성한다(도 10의 a). 계속해서, 제1의 실시예와 동일한 조건으로 상기 채널링 방지막(7)을 통하여 불순물을 한다. 이온 주입을 행하여 고농도 불순물 영역(8)을 형성한다. 그 후, 불순물을 위한 열처리를 실행한다. 소스/드레인 영역(8) 및 게이트 전극(4) 양쪽 상부에 제1의 실시예와 동일하게 실리사이드막을 형성하는 것도 가능하다.

여기서, 채널링에 대한 다른 방지 수단이 취해진다면 실리콘 산화막(7)의 제거가 가능하다. 이 경우, 소스/드레인 영역 형성하기 위한 이온 주입은 실리콘 산화막(6)의 애치백 직후에 실행되고 레지스트막(51)의 제거 및 소스/드레인 영역의 활성화를 위한 열처리가 그 이후에 실행된다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 내지 100nm 정도의 애칭 스토퍼막(9)을 형성한다(도 10의 b).

그 후, 제1의 실시예와 같이 실리콘 산화막 등의 층간 절연막(10)을 형성하고 리소그래피 기술과 이방 애칭에 의해 소스/드레인 영역(8)에 달하는 콘택트 흙(11)을 형성한다(도 10의 c). 이 때, 트렌치 분리 영역(2)에 오버랩되도록 콘택트 흙(11)이 형성되더라도 트렌치 분리 영역상에 축복의 형성에 이동되는 두꺼운 실리콘 산화막으로 이루어지는 트렌치 분리 커버(6c)가 형성되어 있기 때문에 트렌치 한 쪽분위에 대해서는 축복을 형성할 수 있다.

그 후, CVD법 또는 스팍터링법을 이용하여 이 콘택트 흙(11) 내에 배리어 금속막을 형성하고 계속해서 CVD법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

발명의 효과

전술한 바와 같이, 본 발명에 의하면 트렌치 분리 영역에 오버랩하도록 콘택트 흙이 형성되더라도 트렌치 내의 매입 절연막의 같은, 즉 매입 절연막 상면의 높이의 길소가 방지 또는 억제되거나 때문에 콘택트 기와 기판 사이의 리크을 방지할 수 있다. 또한, 축복으로 이루어지는 축복을 형성하는 경우는 또한 기판 표면의 플라즈마 데미지가 억제되어 결함성 리크의 발생을 방지할 수 있다. 그 결과, 소자 특성이 개선될 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과, 상기 반도체 기판상에 상기 소자 분리 영역에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면(principal plane)의 전면상에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 애칭 스토퍼로 사용하여 애치백을 실행하여 상기 게이트 전극의 축면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로부터 제1의 축복을 형성하는 공정과,

전면 애치백에 의해 상기 제1의 절연막을 예칭하여 상기 게이트 전극의 축면상에 상기 제1의 절연막으로부터 제2의 축복을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 축복을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 층간 절연막을 형성하는 공정과,

상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역상에 개방된 콘택트 흙을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판상에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면상에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 애칭 스토퍼로 사용하여 애치백을 실행하여 상기 게이트 전극의 축면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로부터 제1의 축복을 형성하는 공정과,

전면 애치백에 의해 상기 제1의 절연막을 예칭하여 상기 게이트 전극의 축면상에 상기 제1의 절연막으로부터 제2의 축복을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 축복을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 제3의 절연막을 형성하는 공정과,

상기 제3의 절연막상에 충간 절연막을 형성하는 공정과,

상기 제3의 절연막을 애칭 스토퍼로 사용하여 상기 충간 절연막을 선택적으로 에칭하여 상기 제3의 절연막을 노출시키고, 상기 제3의 절연막을 선택적으로 에칭하여 상기 충간 절연막 상연으로부터 상기 제2의 절연막을 확산 영역까지 도달하는 콘택트 훌을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,
상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이은 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주연의 전연상에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 애칭 스토퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측연상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 매팅된 원 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 전면 에치백에 의해 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측연상에 상기 제1의 절연막으로부터 제2의 측벽, 및 상기 소자 분리 영역을 엎는 상기 제1의 절연막으로부터 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 다른 이은 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 충간 절연막을 형성하는 공정과,
상기 트렌치 분리 커버가 애칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 에칭하여 상기 충간 절연막 상연으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 훌을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제 1, 2, 또는 3항에 있어서,

상기 제2의 절연막은 상기 매입 절연막과 애칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 2항에 있어서,

상기 제2의 절연막 및 상기 매입 절연막 각각은 실리콘 산화막으로 이루어지고, 상기 제1의 절연막 및 제3의 절연막 각각은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제 1 또는 3항에 있어서,

상기 제2의 절연막 및 상기 매입 절연막 각각은 실리콘 산화막으로 이루어지고, 상기 제1의 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 1, 2, 또는 3항에 있어서,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주연의 전연상에 하부 절연막을 형성하는 공정을 더 포함하고, 상기 하부 절연막을 형성한 후에 상기 제1의 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 7항에 있어서,

상기 제2의 측벽을 형성하기 위한 전면 에치백의 실험시에, 상기 하부 절연막은 상기 제1의 절연막과 함께 에칭되고, 상기 게이트 전극의 상연 및 기판의 상연이 노출되고, 상기 게이트 전극의 측연상에 상기 제2의 불순을 확산 영역으로부터 제3의 측벽을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제 8항에 있어서,

상기 제2의 불순을 확산 영역의 형성시에, 적어도 상기 활성 영역에 채널링 방지막을 형성한 이후에 상기 게이트 전극 및 상기 제1, 제2 및 제3의 측벽을 마스크로 사용하여 상기 채널링 방지막을 통하여 이

이온 주입을 행함으로써 제2의 불순을 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법

청구항 10

제 7항에 있어서,

상기 제2의 측벽을 형성하기 위한 전면 에치백시에, 상기 하부 절연막이 낭도록 상기 제1의 절연막을 에칭하고,

상기 하부 절연막을 통하여 이온 주입을 행함으로써 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제 10항에 있어서,

상기 하부 절연막상에 채널링 방지막을 형성하고, 상기 하부 절연막 및 상기 채널링 방지막을 통하여 이온 주입을 행함으로써 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제 7항에 있어서,

상기 제1의 불순을 확산 영역을 형성하기 위한 이온 주입은 상기 하부 절연막을 형성한 이후에 상기 제2의 절연막을 형성하기 이전에 실행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제 1, 2, 또는 3항에 있어서,

상기 제1의 불순을 확산 영역을 형성하기 위한 이온 주입은 상기 제1의 절연막을 형성한 이후에 상기 제2의 절연막을 형성하기 이전에 실행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제 1, 2, 또는 3항에 있어서,

상기 콘택트 흙은 상기 제2의 불순을 확산 영역과 상기 소자 분리 영역에 부분적으로 연장되도록 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과, 상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

전면 에치백에 의해 상기 게이트 전극의 측면상에 상기 제1의 절연막으로부터 측벽을 형성하는 공정과, 상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 제2의 절연막을 형성하는 공정과,

상기 소자 분리 영역에 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제2의 절연막을 에칭하고, 상기 소자 분리 영역을 덮는 상기 제2의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 충간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 에칭하여 상기 충간 절연막 상연으로부터 상기 제2의 불순을 확산 영역까지 도달하는 콘택트 흙을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순을 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제1의 절연막을 에치백하고, 상기 게이트 전극의 측면상에 측벽을 형성하는 동시에, 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로부터 트랜치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물을 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 제2의 절연막을 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 충간 절연막을 형성하는 공정과,

상기 제2의 절연막을 에칭 스토퍼로 하여 상기 충간 절연막을 선택적으로 에칭하여 상기 제2의 절연막을 노출시키고, 상기 제2의 절연막 및 상기 채널링 방지막을 선택적으로 에칭하여 상기 충간 절연막 상면으로부터 상기 제2의 불순물을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제 15 또는 16항에 있어서,

상기 제1의 절연막은 상기 매일 절연막과 에칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법

청구항 18

제 15항 또는 16항에 있어서,

상기 제1의 절연막 및 상기 매일 절연막은 실리콘 산화막으로 이루어지고, 상기 제2의 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19

제 15항 또는 16항에 있어서,

적어도 상기 소자 형성 영역에, 채널링 방지막을 형성하는 공정을 더 포함하고, 상기 채널링 방지막을 통하여 이온 주입을 행하고 상기 제2의 불순물 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

제 15항 또는 16항에 있어서,

상기 콘택트 훔은 상기 제2의 불순물을 확산 영역과 상기 소자 분리 영역에 부분적으로 연장되어 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

반도체 기판상에 형성된 트랜치와 상기 트랜치 내에 매입된 매일 절연막을 갖는 트랜치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판의 주연의 전연상에 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 절연막의 에칭을 실행하여 상기 소자 분리 영역을 덮는 상기 절연막으로 이루어지는 트랜치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주연의 전연상에 충간 절연막을 형성하는 공정과,

상기 트랜치 분리 커버가 에칭 스토퍼로서 기능하는 조건하에서 상기 충간 절연막을 선택적으로 에칭하여 상기 충간 절연막 상면으로부터 상기 제2의 불순물을 확산 영역까지 도달하는 콘택트 훔을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

제 21항에 있어서,

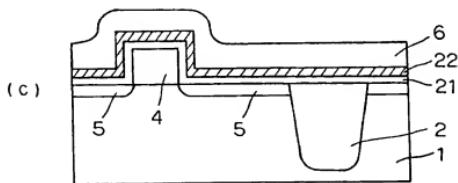
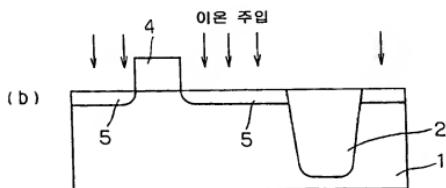
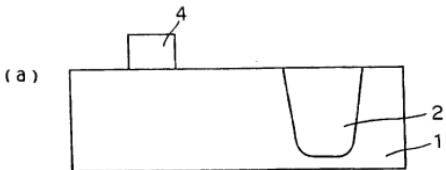
상기 매일 절연막은 실리콘 산화막으로 이루어지고, 상기 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23

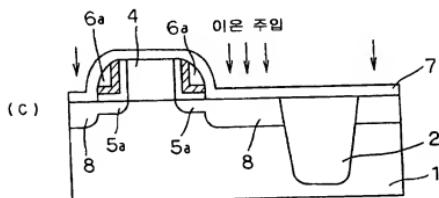
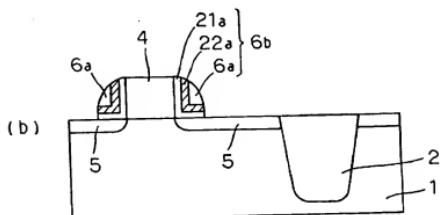
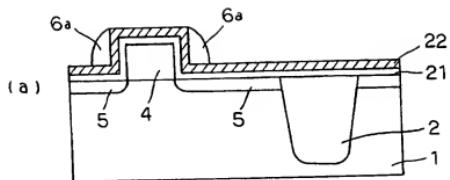
제 1, 2, 3, 15, 16, 또는 21항에 있어서,

상기 충간 절연막은 상기 매일 절연막과 에칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

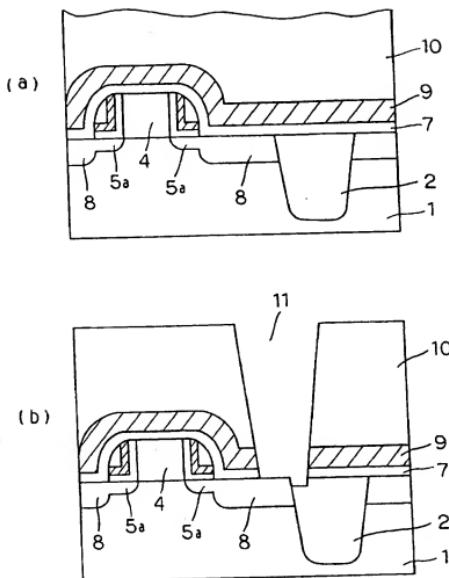
도면 1



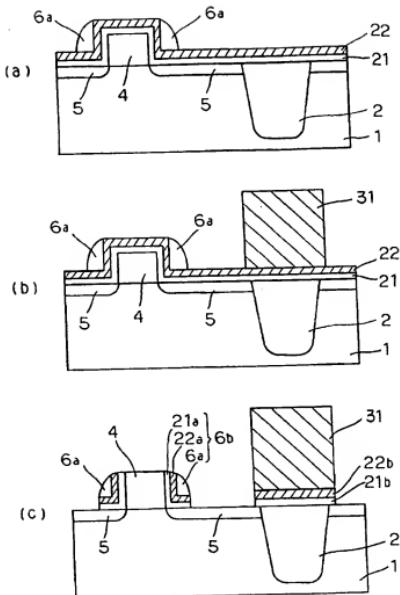
도면2



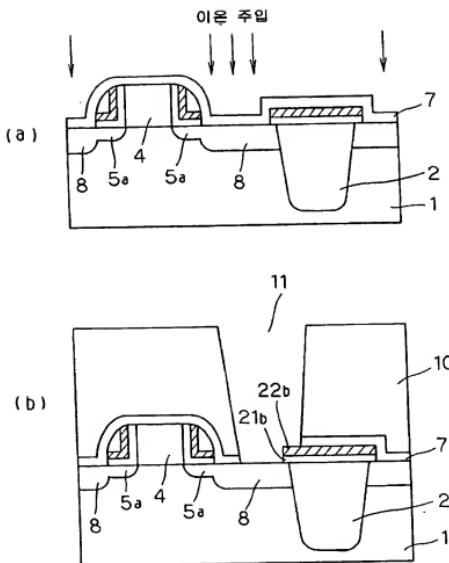
도면3



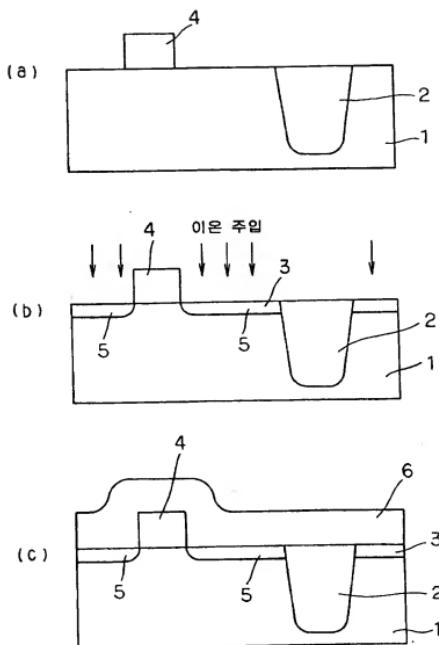
도면4



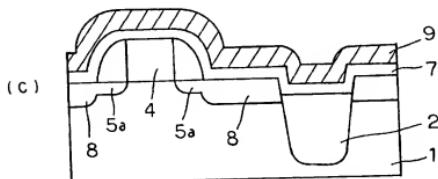
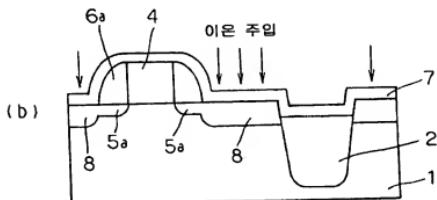
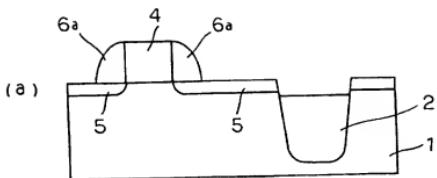
도면5



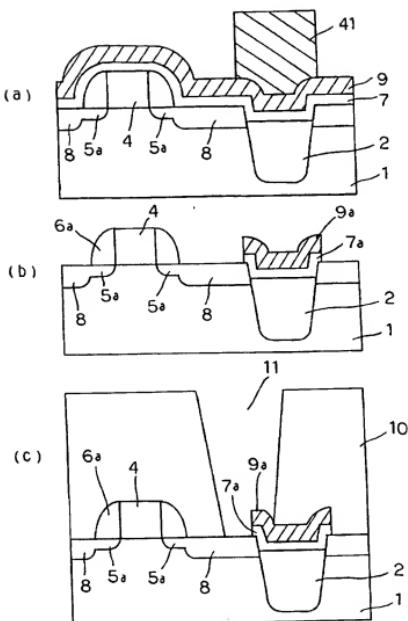
도면6



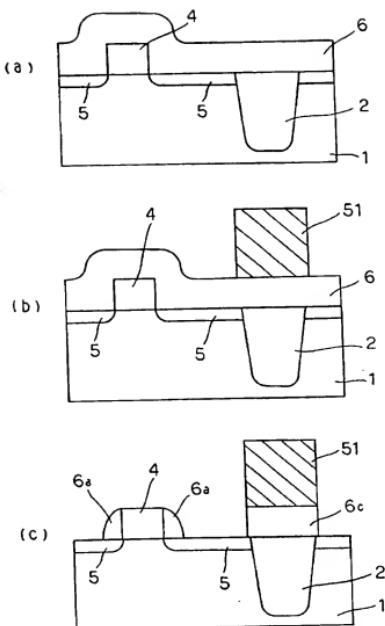
도면 7



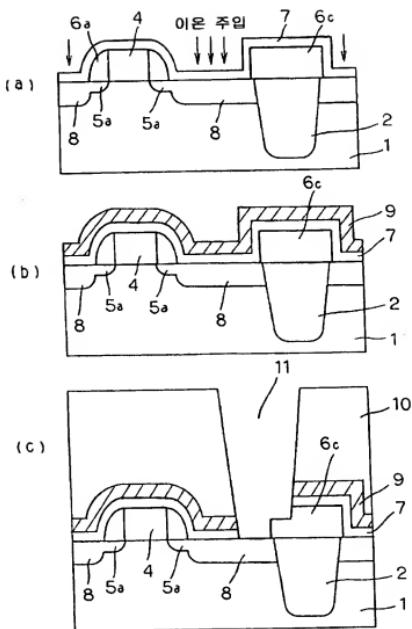
도면8



도면9

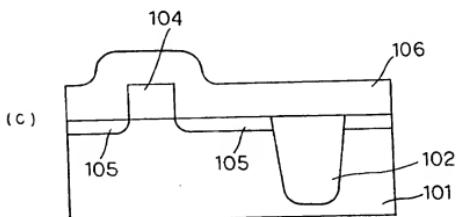
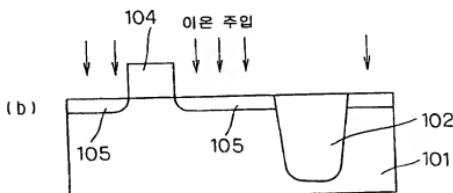
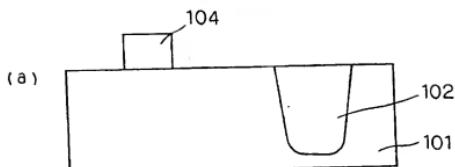


도면 10



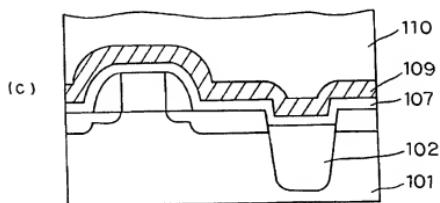
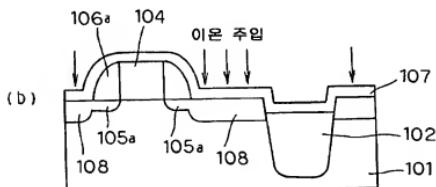
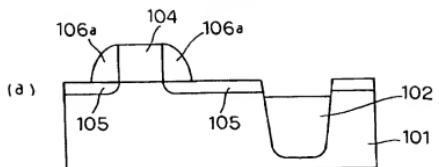
도면 11

종래 기술



도면 12

종래기술



도면 13

종래 기술

